

Docket No.: 60188-782

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
:
Toyoji ITOU : Confirmation Number:
:
Serial No.: : Group Art Unit:
:
Filed: February 26, 2004 : Examiner:
:
For: METHOD FOR FABRICATION SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

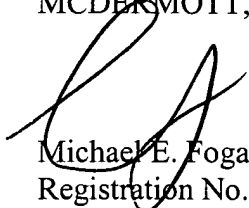
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-048807, filed February 26, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: February 26, 2004

日本国特許庁
JAPAN PATENT OFFICE

60188-782
Ito
February 26, '04
McDermott, Will & Emery

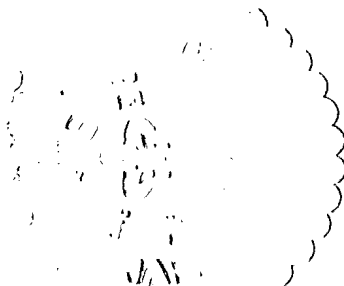
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月26日

出願番号
Application Number: 特願2003-048807
[ST. 10/C]: [JP 2003-048807]

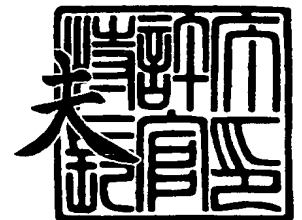
出願人
Applicant(s): 松下電器産業株式会社



2003年 9月10日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3074256

【書類名】 特許願

【整理番号】 2926440110

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 伊東 豊二

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守



【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上の所定領域に導電膜を形成する工程と、
前記基板上に、前記導電膜を覆うように絶縁膜を形成する工程と、
前記絶縁膜上に、前記導電膜の上方に第 1 の開口パターンを有するマスクを形成する工程と、

前記絶縁膜に対して前記第 1 の開口パターンを有するマスクを用いて第 1 のエッチングを行なうことにより、前記絶縁膜に底部が前記導電膜に達しない凹部を形成する工程と、

前記第 1 の開口パターンの径を拡大して、前記第 1 の開口パターンよりも径が大きい第 2 の開口パターンを有するマスクを形成する工程と、

前記絶縁膜に対して前記第 2 の開口パターンを有するマスクを用いて第 2 のエッチングを行なうことにより、前記絶縁膜に、前記凹部よりも開口径が大きく且つ壁面がテーパ形状であると共に前記導電膜を露出させる開口部を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 2】 少なくとも前記開口部の内部に、下部電極、容量絶縁膜及び上部電極よりなる容量素子を形成する工程をさらに備えることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記絶縁膜に前記開口部を形成する工程よりも後に、
前記マスクを除去した後に、前記絶縁膜に対して全面的に第 3 のエッチングを行なうことにより、前記開口部の壁面のテーパ形状を滑らかにする工程をさらに備えることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記絶縁膜に前記開口部を形成する工程よりも後に、
前記第 2 の開口パターンの径を拡大して、前記第 2 の開口パターンよりも径が大きい第 3 の開口パターンを有するマスクを形成する工程と、

前記絶縁膜に対して前記第 3 の開口パターンを有するマスクを用いて第 3 のエッチングを行なうことにより、前記開口部の壁面のテーパ形状を滑らかにする工程をさらに備えることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記開口部の壁面のテーパ形状を滑らかにする工程よりも後に、少なくとも前記開口部の内部に、下部電極、容量絶縁膜及び上部電極よりなる容量素子を形成する工程をさらに備えることを特徴とする請求項 3 又は 4 に記載の半導体装置の製造方法。

【請求項 6】 基板上の所定領域に導電膜を形成する工程と、
前記導電膜の上にエッチングストッパー膜を形成する工程と、
前記基板上に、前記エッチングストッパー膜を覆うように絶縁膜を形成する工程と、

前記絶縁膜の上に、前記導電膜の上方に第 1 の開口パターンを有するマスクを形成する工程と、

前記絶縁膜に対して前記第 1 の開口パターンを有するマスクを用いて第 1 のエッチングを行なうことにより、前記絶縁膜に底部が前記エッチングストッパー膜に達しない凹部を形成する工程と、

前記第 1 の開口パターンの径を拡大して、前記第 1 の開口パターンよりも径が大きい第 2 の開口パターンを有するマスクを形成する工程と、

前記絶縁膜に対して前記第 2 の開口パターンを有するマスクを用いて第 2 のエッチングを行なうことにより、前記絶縁膜に、前記凹部よりも開口径が大きく且つ壁面がテーパ形状であると共に前記エッチングストッパー膜を露出させる開口部を形成する工程と、

前記エッチングストッパー膜に対して第 3 のエッチングを行なうことにより、前記絶縁膜の開口部をエッチングストッパー膜に転写して、前記絶縁膜の開口部の壁面のテーパ形状を滑らかにすると共に前記エッチングストッパー膜に前記導電膜を露出させる開口部を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 3 のエッチングは、前記マスクを除去してから行なうことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記第 3 のエッチングは、前記第 2 の開口パターンの径が拡大されてなる第 3 の開口パターンを有するマスクを用いて行なうことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 9】 前記エッチングストッパー膜は、チタン又はアルミニウムを含む金属酸化物よりなることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 10】 少なくとも前記絶縁膜の開口部及び前記エッチングストッパー膜の開口部の内部に、下部電極、容量絶縁膜及び上部電極よりなる容量素子を形成する工程をさらに備えることを特徴とする請求項 6 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】 基板上の所定領域に導電膜を形成する工程と、
前記基板上に、前記導電膜を覆うように絶縁膜を形成する工程と、
前記絶縁膜の上に、前記導電膜の上方に第 1 の開口パターンを有するマスクを形成する工程と、

前記絶縁膜に対して前記第 1 の開口パターンを有するマスクを用いて第 1 のエッチングを行なうことにより、前記絶縁膜に底部が前記導電膜に達しない凹部を形成する工程と、

前記マスクを除去した後、前記絶縁膜に対して全面的に第 2 のエッチングを行なうことにより、前記絶縁膜に、前記凹部よりも開口径が大きく且つ壁面がテーパ形状であると共に前記導電膜を露出させる開口部を形成する工程を備えることを特徴とする半導体装置の製造方法。

【請求項 12】 少なくとも前記絶縁膜の開口部の内部に、下部電極、容量絶縁膜及び上部電極よりなる容量素子を形成する工程をさらに備えることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】 前記第 1 の開口パターンを有するマスクを形成する工程と前記絶縁膜に前記凹部を形成する工程との間に、

前記第 1 の開口パターンの壁面をテーパ形状にする工程をさらに備えることを特徴とする請求項 1 ～ 12 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 14】 前記導電膜は、イリジウム、白金、金、ルテニウム、ロジウム若しくはパラジウムを含む金属又はこれらの金属酸化物よりなることを特徴とする請求項 1 ～ 13 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 15】 前記導電膜はプラグを介して前記基板と接続されている酸素

バリア膜であることを特徴とする請求項 1 ～ 13 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 16】 前記絶縁膜はシリコンを主成分とする酸化膜であることを特徴とする請求項 1 ～ 13 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 17】 前記絶縁膜の主表面は平坦化されていることを特徴とする請求項 1 ～ 13 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 18】 前記マスクはフォトリソグロウであることを特徴とする請求項 1 ～ 13 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャパシタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

強誘電体膜又は高誘電体膜を容量絶縁膜に用いるキャパシタを有する半導体装置は、ヒステリシス特性による残留分極又は高い比誘電率を有している。このため、不揮発性メモリ及びDRAMの分野において、シリコン酸化膜又はシリコン窒化膜よりなる容量絶縁膜を有するキャパシタに代わって、強誘電体膜又は高誘電体膜を容量絶縁膜に用いるキャパシタが広く用いられていく可能性がある。この場合、メモリセルの面積をさらに縮小するため、キャパシタの形状を立体形状にすることが求められている。

【0003】

以下、従来の半導体装置の製造方法について、図11(a)～(c)及び図12(a)～(c)を参照しながら説明する。

【0004】

まず、図11(a)に示すように、CVD法により半導体基板10の上に第1のシリコン酸化膜11を成膜した後、CMP法により第1のシリコン酸化膜11を平坦化する。次に、第1のシリコン酸化膜11に対して選択的にドライエッチングを行なうことにより、半導体基板10を露出させるコンタクトホールを形成

した後、該コンタクトホール内部を埋め込むように、スパッタ法又はCVD法によりチタン膜及び窒化チタン膜を成膜し、さらにCVD法によりタンゲステン膜を成膜する。

【0005】

次に、CMP法により、チタン膜、窒化チタン膜及びタンゲステン膜よりなるメタル膜をコンタクトホール内部にのみ残留させることにより、プラグ12を形成する。次に、スパッタ法により、第1のシリコン酸化膜11及びプラグ12の上に、窒化チタンアルミニウム膜、イリジウム膜及び酸化イリジウム膜が順に積層された積層膜を形成した後、該積層膜に対して選択的にドライエッチングを行なうことにより、プラグ12を覆う酸素バリア膜13を形成する。

【0006】

次に、図11(b)に示すように、第1のシリコン酸化膜11の上に酸素バリア膜13を覆うように第2のシリコン酸化膜14を成膜した後、CMP法により第2のシリコン酸化膜を平坦化する。次に、図11(c)に示すように、第2のシリコン酸化膜14の上に、酸素バリア膜13の上方に開口パターン15aを有するレジストマスク15を形成する。

【0007】

次に、図12(a)に示すように、第2のシリコン酸化膜14に対して開口パターン15aを有するレジストマスク15を用いてエッチングを行なうことにより、酸素バリア膜13を露出させる開口部14aを形成する。この場合、酸素バリア膜13はオーバーエッチングされ、レジストマスク15の膜厚はエッチングにより減少する。

【0008】

次に、図12(b)に示すように、残存しているレジストマスク15をアッシングにより除去する。次に、図12(c)に示すように、スパッタ法により、第2のシリコン酸化膜14の上及び開口部14aの内部に第1の白金膜を成膜した後、開口部14aを含む領域において第1の白金膜に対して選択的にドライエッチングを行なうことにより、第1の白金膜がパターンニングされた下部電極16を形成する。次に、MOCVD法により、第2のシリコン酸化膜14及び下部電極

16の上に、ストロンチウム、ビスマス、タンタル及びニオブを成分とするビスマス層状ペロブスカイト型酸化物よりなる強誘電体膜を成膜する。次に、スパッタ法により強誘電体膜の上に第2の白金膜を成膜した後、下部電極16を含む領域において強誘電体膜及び第2の白金膜をパターンニングすることにより、容量絶縁膜17及び上部電極18を形成する。その後、開示していないが配線及び保護膜等の形成を行なう。

【0009】

しかしながら、以上のような製造方法によると、キャパシタを構成する下部電極16、容量絶縁膜17及び上部電極18のカバレッジが充分ではなく、キャパシタの断面はオーバーハング形状になり易い。このため、下部電極16又は上部電極18に断線が生じることがある。さらに、開口部14aの壁面の底部ほどキャパシタの膜厚が薄膜化すると共に、開口部14aの底部においてもキャパシタの膜厚が薄膜化する。また、カバレッジが充分ではないために、容量絶縁膜17の膜厚が不均一になると、キャパシタの特性にバラツキが生じる。

【0010】

また、他の従来の半導体装置の製造方法によると、開口部が垂直形状である場合に形成される下部電極、容量絶縁膜及び上部電極は、前記図12(c)に示したようなカバレッジの悪い状態で示されていないものもあるが、上部電極、下部電極又は容量絶縁膜の成膜を簡便に行えるスパッタ法を用いると、現実には、開口部の内部ではカバレッジが悪化する（例えば、特許文献1参照）。また、カバレッジが比較的良好になるMOCVD（有機金属CVD）法を用いても、現実には、カバレッジが充分ではなく、この方法を用いてカバレッジを向上させようとすると、成膜レートが小さくなるという新たな課題が発生する。

【0011】

そこで、電極及び容量絶縁膜のカバレッジを向上するために、開口部の壁面を上方から見て順テーパ形状にするという方法が考えられる（以下、壁面の形状について言及するときは上方から見た形状を言うものとする）。しかしながら、層間絶縁膜として一般的に用いるシリコン酸化膜に対して微細な開口部を形成するためには、ドライエッチングにより開口部を形成する必要があるが、シリコン

酸化膜に対しては反応性エッチングができないので、開口部の壁面を順テーパ形状に形成することは困難である。

【0012】

一方、開口部の壁面を順テーパ形状に形成する方法として、開口部を形成した後にレジストマスクを後退させて、再度エッチングを行なうことにより開口部の壁面を順テーパ形状にする方法が提案されている（特許文献2参照）。しかしながら、この場合には、エッチングの際に用いたレジストマスクの側壁に、開口部を形成する際のエッチングにより除去された下地の導電膜が再付着したり、エッチングガスと導電膜との反応生成物が堆積することになるが、レジストマスクを後退させた後もこの再付着した導電膜及び反応生成物が除去されずに残留することにより、フェンスが形成される等の形状異常が発生する。このため、再度エッチングを行なう場合に、形状異常が原因となって開口部の壁面のテーパ形状を安定的に形成することができない。

【0013】

【特許文献1】

米国特許 6 2 3 9 4 6 1 号公報 (column 5 line 44- column 6 line 26 fig 5)

【特許文献2】

特開昭 6 1 - 2 9 6 7 2 2 号公報 (第 2 - 3 頁、第 1 図)

【0014】

【発明が解決しようとする課題】

このように、従来の半導体装置の製造方法によると、電極及び容量絶縁膜のカバレッジが充分ではなく、その断面がオーバーハング形状になり易い。電極のカバレッジが悪くなると電極に断線が生じ、また、電極がオーバーハング形状になると開口部の上部の間隔が狭くなるため、容量絶縁膜のカバレッジがさらに悪化するので、容量絶縁膜においてリークが生じてキャパシタの特性にバラツキが生じる。

【0015】

また、MOCVD（有機金属CVD）法を用いて容量絶縁膜を形成する場合に

は、有機金属原料が供給される割合が不均一になるので、容量絶縁膜の組成が不均一になる。さらに、開口部の壁面のテーパ形状を安定的に形成する方法は知られていない。

【0016】

前記に鑑み、本発明は、開口部の壁面のテーパ形状を安定的に形成することにより、電極及び容量絶縁膜のカバレッジを向上させることを目的とする。

【0017】

【課題を解決するための手段】

前記の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、基板上の所定領域に導電膜を形成する工程と、基板上に、導電膜を覆うように絶縁膜を形成する工程と、絶縁膜上に、導電膜の上方に第1の開口パターンを有するマスクを形成する工程と、絶縁膜に対して第1の開口パターンを有するマスクを用いて第1のエッチングを行なうことにより、絶縁膜に底部が導電膜に達しない凹部を形成する工程と、第1の開口パターンの径を拡大して、第1の開口パターンよりも径が大きい第2の開口パターンを有するマスクを形成する工程と、絶縁膜に対して第2の開口パターンを有するマスクを用いて第2のエッチングを行なうことにより、絶縁膜に、凹部よりも開口径が大きく且つ壁面がテーパ形状であると共に導電膜を露出させる開口部を形成する工程とを備える。

【0018】

第1の半導体装置の製造方法によると、第1の開口パターンを有するマスクを用いた第1のエッチングにより導電膜まで達しない凹部を形成した後に、第1の開口パターンよりも径が大きい第2の開口パターンを有するマスクを用いた第2のエッチングにより開口部を形成するため、第1の開口パターンを有するマスクの側壁に、導電膜が再付着したり、エッチングガスと導電膜との反応生成物が堆積することがなくなるので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部の壁面のテーパ形状を安定的に形成することができる。

【0019】

本発明に係る第1の半導体装置の製造方法において、少なくとも開口部の内部

に、下部電極、容量絶縁膜及び上部電極よりなる容量素子を形成する工程をさらに備えることが好ましい。

【0020】

このようにすると、カバレッジに優れた電極及び容量絶縁膜を得ることができるので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止して容量素子の特性のバラツキを防止することができる。

【0021】

本発明に係る第1の半導体装置において、絶縁膜に開口部を形成する工程よりも後に、マスクを除去した後に、絶縁膜に対して全面的に第3のエッチングを行なうことにより、開口部の壁面のテーパ形状を滑らかにする工程をさらに備えることが好ましい。

【0022】

このようにすると、開口部の壁面のテーパ形状は滑らかになる。

【0023】

本発明に係る第1の半導体装置において、絶縁膜に開口部を形成する工程よりも後に、第2の開口パターンの径を拡大して、第2の開口パターンよりも径が大きい第3の開口パターンを有するマスクを形成する工程と、絶縁膜に対して第3の開口パターンを有するマスクを用いて第3のエッチングを行なうことにより、開口部の壁面のテーパ形状を滑らかにする工程をさらに備えることが好ましい。

【0024】

このようにすると、開口部の壁面のテーパ形状は滑らかになる。

【0025】

本発明に係る第1の半導体装置の製造方法において、開口部の壁面のテーパ形状を滑らかにする工程よりも後に、少なくとも開口部の内部に、下部電極、容量絶縁膜及び上部電極よりなる容量素子を形成する工程をさらに備えることが好ましい。

【0026】

このようにすると、カバレッジに優れた電極及び容量絶縁膜を得ることができ

るので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止して容量素子の特性のバラツキを防止することができる。

【0027】

本発明に係る第2の半導体装置の製造方法は、基板上の所定領域に導電膜を形成する工程と、導電膜の上にエッチングストッパー膜を形成する工程と、基板上に、エッチングストッパー膜を覆うように絶縁膜を形成する工程と、絶縁膜の上には、導電膜の上方に第1の開口パターンを有するマスクを形成する工程と、絶縁膜に対して第1の開口パターンを有するマスクを用いて第1のエッチングを行なうことにより、絶縁膜に底部がエッチングストッパー膜に達しない凹部を形成する工程と、第1の開口パターンの径を拡大して、第1の開口パターンよりも径が大きい第2の開口パターンを有するマスクを形成する工程と、絶縁膜に対して第2の開口パターンを有するマスクを用いて第2のエッチングを行なうことにより、絶縁膜に、凹部よりも開口径が大きく且つ壁面がテーパ形状であると共にエッチングストッパー膜を露出させる開口部を形成する工程と、エッチングストッパー膜に対して第3のエッチングを行なうことにより、絶縁膜の開口部をエッチングストッパー膜に転写して、絶縁膜の開口部の壁面のテーパ形状を滑らかにすると共にエッチングストッパー膜に導電膜を露出させる開口部を形成する工程とを備える。

【0028】

第2の半導体装置の製造方法によると、第1の開口パターンを有するマスクを用いた第1のエッチングによりエッチングストッパー膜まで達しない凹部を形成した後に、第1の開口パターンをよりも径が大きい第2の開口パターンを有するマスクを用いた第2のエッチングにより開口部を形成するため、第1の開口パターンを有するマスクの側壁に、導電膜が再付着したり、エッチングガスと導電膜との反応生成物が堆積することがなくなるので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部の壁面のテーパ形状を安定的に形成することができる。さらに、第1の半導体装置の製造方法と比較すると、導電膜上にエッチングストッパー膜を形成することにより、第2のエッチングにより形成される開口部は導電膜を露出させないので、第3のエッチングによ

り開口部の壁面のテーパ形状をより滑らかにすることができると共に、第3のエッチングを行なう際の導電膜に対するオーバーエッチング量を抑制できる。

【0029】

本発明に係る第2の半導体装置の製造方法において、第3のエッチングは、マスクを除去してから行なうことが好ましい。

【0030】

このようにすると、第3のエッチングの際に用いるエッチングガスはマスクに妨害されることがないので、第1のエッチングと第2のエッチングとによって開口部の壁面に形成された段差をより滑らかにすることができる。

【0031】

本発明に係る第2の半導体装置の製造方法において、第3のエッチングは、第2の開口パターンの径が拡大されてなる第3の開口パターンを有するマスクを用いて行なうことが好ましい。

【0032】

このようにすると、第1のエッチングと第2のエッチングとによって開口部の壁面に形成された段差を滑らかにすることができる。

【0033】

本発明に係る第2の半導体装置の製造方法において、エッチングストッパー膜は、チタン又はアルミニウムを含む金属酸化物よりなることが好ましい。

【0034】

このようにすると、金属酸化物の導電膜に対するエッチング選択比を大きくとることができる。

【0035】

本発明に係る第2の半導体装置の製造方法において、少なくとも絶縁膜の開口部及びエッチングストッパー膜の開口部の内部に、下部電極、容量絶縁膜及び上部電極よりなる容量素子を形成する工程をさらに備えることが好ましい。

【0036】

このようにすると、カバレッジに優れた電極及び容量絶縁膜を得ることができるので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止して容量素子の特

性のバラツキを防止することができる。

【0037】

本発明に係る第3の半導体装置の製造方法は、基板上の所定領域に導電膜を形成する工程と、基板上に、導電膜を覆うように絶縁膜を形成する工程と、絶縁膜の上に、導電膜の上方に第1の開口パターンを有するマスクを形成する工程と、絶縁膜に対して第1の開口パターンを有するマスクを用いて第1のエッチングを行なうことにより、絶縁膜に底部が導電膜に達しない凹部を形成する工程と、マスクを除去した後、絶縁膜に対して全面的に第2のエッチングを行なうことにより、絶縁膜に、凹部よりも開口径が大きく且つ壁面がテーパ形状であると共に導電膜を露出させる開口部を形成する工程を備える。

【0038】

第3の半導体装置の製造方法によると、第1のエッチングにより導電膜まで達しない凹部を形成した後に、マスクを除去して第2のエッチングにより開口部を形成するため、第1の開口パターンを有するマスクの側壁に、導電膜が再付着したり、エッチングガスと導電膜との反応生成物が堆積することがなくなるので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部の壁面のテーパ形状を安定的に形成することができる。さらに、第1の半導体装置の製造方法と比較すると、第1の開口パターンの径が拡大されてなる第1の開口パターンを有するマスクを用いてエッチングを行なう工程を省略できるので、工程数を低減することができる。

【0039】

本発明に係る第3の半導体装置の製造方法において、少なくとも絶縁膜の開口部の内部に、下部電極、容量絶縁膜及び上部電極よりなる容量素子を形成する工程をさらに備えることが好ましい。

【0040】

このようにすると、カバレッジに優れた電極及び容量絶縁膜を得ることができるので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止して容量素子の特性のバラツキを防止することができる。

【0041】

本発明に係る第1～3の半導体装置の製造方法において、第1の開口パターンを有するマスクを形成する工程と絶縁膜に凹部を形成する工程との間に、第1の開口パターンの壁面をテーパ形状にする工程をさらに備えることが好ましい。

【0042】

このようにすると、第1の開口パターンの壁面をテーパ形状にしてから第1のエッチングを行なうので、開口部の壁面をよりテーパ形状に加工することができる。

【0043】

本発明に係る第1～3の半導体装置の製造方法において、導電膜が、イリジウム、白金、金、ルテニウム、ロジウム若しくはパラジウムを含む金属又はこれらの金属酸化物よりなる場合には、エッチングにより除去される導電膜がマスクに再付着することを抑制できると共に、エッチングガスと導電膜との反応生成物がマスクに堆積することを抑制できる。

【0044】

本発明に係る第1～3の半導体装置の製造方法において、導電膜がプラグを介して基板と接続されている酸素バリア膜である場合には、容量絶縁膜を形成する際にプラグを酸化させることがなくなるので、容量素子と基板との接続を可能にする。

【0045】

本発明に係る第1～3の半導体装置の製造方法において、絶縁膜がシリコンを主成分とする酸化膜である場合には、絶縁膜に対して異方性の強いエッチングができるので、第1のエッチングにより凹部を形成した後に、第2のエッチングにより開口部を形成することにより、開口部の壁面における段差が低減してテーパ形状が滑らかになる。

【0046】

本発明に係る第1～3の半導体装置の製造方法において、絶縁膜の主表面が平坦化されている場合には、電極及び容量絶縁膜を形成する際に用いるマスクのフォーカスずれが減少する。

【0047】

本発明に係る第1～3の半導体装置の製造方法において、マスクがフォトリソグロストである場合には、フォトリソグロストの絶縁膜に対するエッチング選択比を確保できる。

【0048】

【発明の実施の形態】

（第1の実施形態）

以下、本発明の第1の実施形態に係る半導体装置の製造方法について、図1（a）～（d）及び図2（a）～（d）を参照しながら説明する。

【0049】

まず、図1（a）に示すように、CVD法により、半導体基板100上に膜厚が1000nmである第1のシリコン酸化膜101を成膜した後、CMP法により、第1のシリコン酸化膜101の膜厚が500nmになるまで第1のシリコン酸化膜101を平坦化する。次に、第1のシリコン酸化膜101に対して選択的にドライエッチングすることにより、半導体基板100の上面と連通する直径が250nmであるコンタクトホールを形成した後、スパッタ法又はCVD法により、第1のシリコン酸化膜101の上及び該コンタクトホールの内部に、膜厚が10nmであるチタン膜及び膜厚が20nmである窒化チタン膜を順次成膜し、さらにCVD法により膜厚が200nmであるタンゲステン膜を成膜する。

【0050】

次に、CMP法により、前記チタン膜、窒化チタン膜及びタンゲステン膜よりなるメタル膜をコンタクトホールの内部にのみ残留させることにより、プラグ102を形成する。次に、スパッタ法により、第1のシリコン酸化膜101及びプラグ102の上に、膜厚が100nmである窒化チタンアルミニウム膜、膜厚が50nmであるイリジウム膜及び膜厚が100nmである酸化イリジウム膜を順次積層して積層膜を形成した後、該積層膜に対して選択的にドライエッチングを行なうことにより、プラグ112を覆う酸素バリア膜103を形成する。

【0051】

次に、図1（b）に示すように、第1のシリコン酸化膜101の上に、酸素バリア膜103を覆うように、膜厚が1000nmである第2のシリコン酸化膜1

04を成膜した後、CMP法により、酸素バリア103膜の上の膜厚が600nmになるまで第2のシリコン酸化膜104を平坦化する。

【0052】

次に、図1(c)に示すように、第2のシリコン酸化膜104の上に、酸素バリア膜103の上方に膜厚が700nmであって且つ開口径が300nmである第1の開口パターン105aを有するレジストマスク105を形成する。

【0053】

次に、図1(d)に示すように、第2のシリコン酸化膜104に対して、第1の開口パターン105aを有するレジストマスク105を用いると共に、C、H及びFを含むガスとOを含むガスとの混合ガスからなるプラズマを用いて第1のエッチングを行なうことにより、深さが300nm程度である凹部104aを形成する。このとき、レジストマスク105の膜厚は第1のエッチングにより500nm程度に減少する。

【0054】

次に、図2(a)に示すように、Oを含むガスからなるプラズマを用いる全面エッチングを行なって、レジストマスク105を300nm程度除去することにより、直径が400nmである第2の開口パターン105bを有するレジストマスク105を形成する。このとき、第2の開口パターン105bを有するレジストマスク105はその上部ほどプラズマに照射される頻度が大きいので、第2の開口パターン105bの壁面は順テーパー形状になる。

【0055】

次に、図2(b)に示すように、凹部104aを有する第2のシリコン酸化膜104に対して、第2の開口パターン105bを有するレジストマスク105を用いると共に、C、H及びFを含むガスとOを含むガスとの混合ガスからなるプラズマを用いて第2のエッチングを行なうことにより、凹部104aよりも開口径が大きく且つ壁面がテーパー形状であると共に酸素バリア膜103を露出させる開口部104bを形成する。この場合、レジストマスク105の膜厚は第2のエッチングにより100nm程度に減少する。また、酸素バリア膜103は膜厚が30nm程度オーバーエッチングされる。

【0056】

このように、開口部104bは、第1のエッチングにより凹部104aを一旦形成した後に第2のエッチングにより形成されるので、第2のエッチングが100%異方性であれば、開口部104bの壁面には階段状の段差が形成されることになるが、第1の開口パターン105aの径が拡大されてなる第2の開口パターン105bを有するレジストマスク105を用いて第2のエッチングを行なうため、階段状の段差の一部が削られるので、その段差は図2(b)に示すような緩やかな形状になる。さらに、第2の開口パターン105bのテーパ形状が第2のシリコン酸化膜104に転写される効果も加わるので、第2のシリコン酸化膜104にはテーパ形状の壁面を有する開口部104bが形成される。

【0057】

次に、図2(c)に示すように、Oを含むガスからなるプラズマを用いるアッシングにより、レジストマスク105を除去する。

【0058】

次に、図2(d)に示すように、スパッタ法により、開口部104bの内部を含む第2のシリコン酸化膜104の上に膜厚が50nmである第1の白金膜を成膜した後、開口部104bを含む領域において第1の白金膜に対して選択的にドライエッチングを行なうことにより、第1の白金膜がパターンニングされた下部電極106を形成する。次に、MOCVD法により、第2のシリコン酸化膜104及び下部電極106の上にストロンチウム、ビスマス、タンタル及びニオブを成分とするビスマス層状ペロブスカイト型酸化物よりなる強誘電体膜を50nm成膜する。次に、スパッタ法により、強誘電体膜の上に膜厚が50nmである第2の白金膜を成膜した後、下部電極106を含む領域で強誘電体膜及び第2の白金膜に対してパターンニングすることにより、容量絶縁膜107及び上部電極108を形成する。その後、開示していないがキャパシタの上に配線及び保護膜等を形成する。

【0059】

以上のように、第1の実施形態に係る半導体装置の製造方法によると、第1の開口パターン105aを有するレジストマスク105を用いて第1のエッチング

により凹部 104 a を形成した後、第 1 の開口パターン 105 a よりも径が大きい第 2 の開口パターン 105 b を有するレジストマスク 105 を用いて第 2 のエッチングを行なうので、第 2 のシリコン酸化膜 104 に形成される開口部 104 b の壁面を順テーパ形状にすることができる。

【0060】

また、第 1 のエッチングにより凹部 104 a を形成する際には酸素バリア膜 103 を露出させないため、第 1 のエッチングの際に生じる酸素バリア膜 103 を構成する積層膜の上層の酸化イリジウムがレジストマスク 105 の側壁に再付着したり、フッ素とイリジウムとの反応生成物がレジストマスク 105 の側壁に堆積することがないので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部 104 b の壁面のテーパ形状を安定的に形成することができる。

【0061】

また、開口部 104 b の壁面のテーパ形状を安定的に形成することができるため、カバレッジに優れた下部電極 106、容量絶縁膜 107 及び上部電極 108 を得ることができるので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止してキャパシタの特性のバラツキを防止することができる。

【0062】

また、酸素バリア膜 103 を構成する積層膜の上層として高融点金属であるイリジウム、白金、金、ルテニウム、ロジウム若しくはパラジウムを含む金属又はこれらの金属酸化物を用いると、第 2 のエッチングにより除去される酸素バリア膜 103 がレジストマスク 105 の側壁に再付着することを抑制できると共に、エッチングガスと酸素バリア膜 103 との反応生成物がレジストマスク 105 の側壁に堆積することを抑制できる。

【0063】

また、下部電極 106 の下地膜として、プラグ 102 を介して半導体基板 100 と接続している酸素バリア膜 103 を用いるので、強誘電体膜又は高誘電体膜よりなる容量を形成する際にプラグ 102 を酸化させることがなくなるので、キャパシタと半導体基板 100 とを接続することができる。

【0064】

また、第2のシリコン酸化膜104は、シリコンを主成分とする酸化膜であるので、第2のシリコン酸化膜104に対して異方性の強いエッチングができるので、第1のエッチングにより凹部104aを形成した後に、第2のエッチングにより開口部104bを形成することにより、開口部104bの壁面における段差が低減してテーパ形状が滑らかになる。

【0065】

また、第2のシリコン酸化膜104の主表面を平坦化することにより、電極及び容量絶縁膜又は高誘電体膜よりなる容量素子を形成する際に用いるレジストマスク105のフォーカスずれが減少する。

【0066】

また、マスクとしてフォトリソレジスト膜よりなるレジストマスク105を用いるので、レジストマスク105の絶縁膜に対するエッチング選択比を確保できる。

【0067】

また、酸素ガスを含むプラズマを用いて第1のエッチングを行なうので、レジストマスク105の第2のシリコン酸化膜104に対するエッチング選択比を確保することができる。

【0068】

また、本実施形態では、開口部104bにキャパシタを形成する場合について説明したが、本実施形態ではキャパシタに限定されるものではなく、他の素子を形成しても構わない。

【0069】

(第2の実施形態)

以下、本発明の第2の実施形態に係る半導体装置の製造方法について、図3(a)～(c)及び図4(a)～(c)を参照しながら説明する。

【0070】

まず、図3(a)に示すように、第1の実施形態で図1(a)～(c)を用いた説明と同様にして、半導体基板200上に、第1のシリコン酸化膜201、プラグ202、酸素バリア膜203、第2のシリコン酸化膜204及び膜厚が70

0 nmであって且つ直径が300 nmである第1の開口パターン205aを有するレジストマスク205を形成する。

【0071】

次に、図3（b）に示すように、第2のシリコン酸化膜204に対して、第1の開口パターン205aを有するレジストマスク205を用いると共に、C、H及びFを含むガスとOを含むガスとの混合ガスからなるプラズマを用いて第1のエッチングを行なうことにより、深さが300 nm程度である凹部204aを形成する。この場合、レジストマスク205の膜厚は第1のエッチングにより500 nm程度に減少する。

【0072】

次に、図3（c）に示すように、Oを含むガスからなるプラズマを用いる全面エッチングを行なって、フォトリソグ205を300 nm程度除去することにより、第1の開口パターン205aよりも径が拡大されてなる直径400 nmの第2の開口パターン205bを有するレジストマスク205を形成する。このとき、第2の開口パターン205bを有するレジストマスク205はその上部ほどプラズマに照射される頻度が大きいので、第2の開口パターン205bの断面は順テーパ形状になる。

【0073】

次に、図4（a）に示すように、凹部204aを有する第2のシリコン酸化膜204に対して、第2の開口パターン205bを有するレジストマスク205を用いると共に、C、H及びFを含むガスとOを含むガスと混合ガスからなるプラズマを用いて第2のエッチングを行なうことにより、凹部204aよりも開口径が大きく且つ壁面がテーパ形状であると共に酸素バリア膜203を露出させる開口部204bを形成する。この場合、レジストマスク205の膜厚は第2のエッチングにより100 nm程度に減少する。また、酸素バリア膜203は膜厚が30 nm程度オーバーエッチングされる。

【0074】

このように、開口部204bは、第1のエッチングにより凹部204aを一旦形成した後第2のエッチングにより形成されるので、第2のエッチングが10

0%異方性であれば、開口部204bの壁面には階段状の段差が形成されることになるが、第1の開口パターン205aの径が拡大されてなる第2の開口パターン205bを用いて第2のエッチングを行なうため、階段状の段差の一部が削られるので、その段差は図4(a)に示すような緩やかな形状になる。さらに、第2の開口パターン205bのテーパ形状が第2のシリコン酸化膜204に転写される効果も加わるので、第2のシリコン酸化膜204にはテーパ形状の壁面を有する開口部204bが形成される。

【0075】

次に、図4(b)に示すように、Oを含むガスからなるプラズマを用いるアッシングにより、レジストマスク205を除去する。

【0076】

次に、図4(c)に示すように、第2のシリコン酸化膜204と酸素バリア膜203を露出させた開口部204bに対してマスクを用いずに第3のエッチングを全面的に行なうことにより、開口部204bの壁面における段差をさらに緩やかにする。この場合、酸素バリア膜203は膜厚が50nm程度オーバーエッチングされる。次に、第1の実施の形態と同様にして、下部電極、容量絶縁膜及び上部電極の形成する。その後、開示していないがキャパシタの上に配線及び保護膜等を形成する。

【0077】

以上のように、第2の実施形態に係る半導体装置の製造方法によると、第1の開口パターン205aを有するレジストマスク205を用いて第1のエッチングにより凹部204aを形成した後、第1の開口パターン205aよりも径が大きい第2の開口パターン205bを有するレジストマスク205を用いて第2のエッチングを行なうので、第2のシリコン酸化膜204に形成される開口部204bの壁面を順テーパ形状にすることができる。

【0078】

また、第1のエッチングにより凹部204aを形成する際には酸素バリア膜203を露出させないため、第1のエッチングの際に生じる酸素バリア膜203を構成する積層膜の上層の酸化イリジウムがレジストマスク205の側壁に再付着

したり、フッ素とイリジウムとの反応生成物がレジストマスク 205 の側壁に堆積することがないので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部 204 b の壁面のテーパ形状を安定的に形成することができる。

【0079】

また、レジストマスク 205 をアッシングにより除去する工程の後に酸素バリア膜 203 を露出させた開口部 204 b を有する第 2 のシリコン酸化膜 204 に対して第 3 のエッチングを行なうので、第 3 のエッチングを行なう際に用いるエッチングガスがマスクに妨害されることなく開口部 204 b に達するので、第 1 及び第 2 のエッチングを行った後に形成された開口部 204 b の壁面の段差をより滑らかなテーパ形状にすることができる。その結果、よりカバレッジに優れた下部電極、容量絶縁膜及び上部電極を得ることができるので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止してキャパシタの特性のバラツキを防止することができる。

【0080】

また、本実施形態では、レジストマスク 205 をアッシングにより除去する工程の後に酸素バリア膜 203 を露出させた開口部 204 b を有する第 2 のシリコン酸化膜 204 に対して第 3 のエッチングを行なう場合について説明したが、第 2 の開口パターン 205 b の径が拡大されてなる開口パターンを有するレジストマスク 205 を用いて第 3 のエッチングを行なっても構わない。この場合も、第 2 のエッチング後の開口部 204 b の壁面におけるテーパ形状をより滑らかにすることができることは言うまでもない。

【0081】

また、酸素バリア膜 203 を構成する積層膜の上層として高融点金属であるイリジウム、白金、金、ルテニウム、ロジウム若しくはパラジウムを含む金属又はこれらの金属酸化物を用いると、第 2 のエッチングにより除去される酸素バリア膜 203 がレジストマスク 205 の側壁に再付着することを抑制できると共に、エッチングガスと酸素バリア膜 203 との反応生成物がレジストマスク 205 の側壁に堆積することを抑制できる。

【0082】

また、下部電極の下地膜として、プラグ202を介して半導体基板200と接続している酸素バリア膜203を用いるので、強誘電体膜又は高誘電体膜よりなる容量絶縁膜を形成する際にプラグ202を酸化させることがなくなるので、キャパシタと半導体基板200とを接続することができる。

【0083】

また、第2のシリコン酸化膜204は、シリコンを主成分とする酸化膜であるので、第2のシリコン酸化膜204に対して異方性の強いエッチングができるので、第1のエッチングにより凹部204aを形成した後に、第2のエッチングにより開口部204bを形成することにより、開口部204bの壁面における段差が低減してテーパ形状が滑らかになる。

【0084】

また、第2のシリコン酸化膜204の主表面を平坦化することにより、電極及び容量絶縁膜又は高誘電体膜よりなるキャパシタを形成する際に用いるレジストマスク205のフォーカスずれが減少する。

【0085】

また、マスクとしてフォトリソレジスト膜よりなるレジストマスク205を用いるので、レジストマスク205の絶縁膜に対するエッチング選択比を確保できる。

【0086】

また、酸素ガスを含むプラズマを用いて第1のエッチングを行なうので、レジストマスク205の第2のシリコン酸化膜204に対するエッチング選択比を確保することができる。

【0087】

また、本実施形態では、開口部にキャパシタを形成する場合について説明したが、本実施形態ではキャパシタに限定されるものではなく、他の素子を形成しても構わない。

【0088】

(第3の実施形態)

以下、本発明の第3の実施形態に係る半導体装置の製造方法について、図5（

a) ~ (c) 及び図 6 (a) ~ (c) を参照しながら説明する。

【0089】

まず、図 5 (a) に示すように、第 1 の実施形態で図 1 (a) を用いた説明と同様にして、半導体基板 300 の上に第 1 のシリコン酸化膜 301、プラグ 302 及び酸素バリア膜 303 を形成する。次に、酸素バリア膜 303 の上に、酸化チタンアルミニウムからなる膜厚が 50 nm であるエッチングストッパー膜 304 を形成する。

【0090】

次に、図 5 (b) に示すように、第 1 の実施形態で図 1 (b) ~ (c) を用いた説明と同様にして、第 2 のシリコン酸化膜 305 及び膜厚が 700 nm であって且つ直径が 300 nm である第 1 の開口パターン 306 a を有するレジストマスク 306 を形成する。

【0091】

次に、図 5 (c) に示すように、第 2 のシリコン酸化膜 305 に対して、第 1 の開口パターン 306 a を有するレジストマスク 306 を用いると共に、C、H 及び F を含むガスと O を含むガスとの混合ガスからなるプラズマを用いて第 1 のエッチングを行なうことにより、深さが 300 nm 程度である凹部 305 a を形成する。このとき、フォトリソマスク 306 の膜厚は第 1 のエッチングにより 500 nm 程度に減少する。

【0092】

次に、図 6 (a) に示すように、O を含むガスからなるプラズマを用いる全面エッチングを行なって、レジストマスク 306 を 300 nm 程度除去することにより、直径が 400 nm である第 2 の開口パターン 306 b を有するレジストマスク 306 を形成する。このとき、第 2 の開口パターン 306 b を有するレジストマスク 306 はその上部ほどプラズマに照射される頻度が大きいため、第 2 の開口パターン 306 b の断面は順テーパ形状になる。

【0093】

次に、図 6 (b) に示すように、凹部 305 a を有する第 2 のシリコン酸化膜 305 に対して、第 2 の開口パターン 306 b を有するレジストマスク 306 を

用いると共に、C、H及びFを含むガスとOを含むガスとの混合ガスからなるプラズマを用いて第2のエッチングを行なうことにより、凹部305aよりも開口径が大きく且つ壁面がテーパ形状であると共にエッチングストッパー膜304を露出させる開口部305bを形成する。この場合、レジストマスク306の膜厚はエッチングにより100nm程度に減少する。また、エッチングストッパー膜304は膜厚が30nm程度オーバーエッチングされる。

【0094】

このように、開口部305bは、第1のエッチングにより凹部305aを一旦形成した後に第2のエッチングにより形成されるので、第2のエッチングが100%異方性であれば、開口部305bの壁面には階段状の段差が形成されることになるが、第1の開口パターン306aの径が拡大されてなる第2の開口パターン306bを用いて第2のエッチングを行なうため、階段状の段差の一部が削られるので、その段差は図6(b)に示すような緩やかな形状になる。さらに、第2の開口パターン306bのテーパ形状が第2のシリコン酸化膜305に転写される効果も加わるので、第2のシリコン酸化膜305にはテーパ形状の壁面を有する開口部305bが形成される。

【0095】

次に、図6(c)に示すように、Oを含むガスからなるプラズマを用いるアッシングにより、フォトリソマスク306を除去する。

【0096】

次に、図6(d)に示すように、スパッタ法により、エッチングストッパー膜304を露出させた開口部305bを有する第2のシリコン酸化膜305に対してマスクを用いずに第3のエッチングを全面的に行なうことにより、開口部305bの壁面における段差をさらに緩やかにする。この第3のエッチングにより、開口部305bはエッチングストッパー膜304を貫通し、酸素バリア膜303を露出させる。また、酸素バリア膜303は膜厚が10nm程度オーバーエッチングされる。次に、第1の実施の形態と同様にして、下部電極、容量絶縁膜及び上部電極を形成する。その後、開示していないが配線及び保護膜等の形成を行なう。

【0097】

以上のように第3の実施形態に係る半導体装置の製造方法によると、第1の開口パターン306aを有するレジストマスク306を用いて第1のエッチングにより凹部305aを形成した後、第1の開口パターン306aよりも径が大きい第2の開口パターン306bを有するレジストマスク306を用いて第2のエッチングを行なうので、第2のシリコン酸化膜305に形成される開口部305bの壁面を順テーパー形状にすることができる。

【0098】

また、第1のエッチングにより凹部305aを形成する際には酸素バリア膜303を露出させないため、第1のエッチングの際に生じる酸素バリア膜303を構成する積層膜の上層の酸化イリジウムがレジストマスク306の側壁に再付着したり、フッ素とイリジウムとの反応生成物がレジストマスク306の側壁に堆積することがないので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部305bの壁面のテーパー形状を安定的に形成することができる。

【0099】

また、酸素バリア膜303の上にエッチングストッパー膜304を形成することにより、第2のエッチングにより形成される開口部305bは酸素バリア膜303を露出させないので、第3のエッチングにより開口部305bの壁面のテーパー形状をより滑らかにできると共に、第3のエッチングを行なう際の酸素バリア膜303に対するオーバーエッチング量を抑制できる。その結果、カバレッジにより優れた下部電極、容量絶縁膜及び上部電極を得ることができるので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止してキャパシタの特性のバラツキを防止することができる。また、酸素バリア膜303の膜厚を充分に確保できると共に、バリア性の高い半導体装置を製造することができる。

【0100】

また、エッチングストッパー膜304として、低融点金属であるチタン又はアルミニウムを含む酸化物を用いることにより、エッチングストッパー膜304の下地膜である酸素バリア膜303を構成する積層膜の上層の高融点金属であるイ

リジウムの酸化物に対するエッチングストッパー膜 304 のエッチング選択比を大きくとることができる。

【0101】

また、本実施形態では、レジストマスク 305 をアッシングにより除去する工程の後にエッチングストッパー膜 304 を露出させた開口部 305b を有する第 2 のシリコン酸化膜 305 に対して第 3 のエッチングを行なう場合について説明したが、第 2 の開口パターン 306b の径が拡大されてなる開口パターンを有するレジストマスク 306 を用いて第 3 のエッチングを行なっても構わない。この場合も、第 2 のエッチング後の開口部 305b の壁面におけるテーパ形状をより滑らかにすることができることは言うまでもない。

【0102】

また、本実施形態では、レジストマスク 306 をアッシングにより除去する工程の後に酸素バリア膜 303 を露出させた開口部 305b を有する第 2 のシリコン酸化膜 305 に対して第 3 のエッチングを行なう場合について説明したが、第 2 の開口パターン 306b の径が拡大されてなる開口パターンを有するレジストマスク 306 を用いて第 3 のエッチングを行なっても構わない。この場合も、第 2 のエッチング後の開口部 305b の壁面におけるテーパ形状をより滑らかにすることができることは言うまでもない。さらに、この場合、酸素バリア膜 303 を構成する積層膜の上層として高融点金属であるイリジウム、白金、金、ルテニウム、ロジウム若しくはパラジウムを含む金属又はこれらの金属酸化物を用いると、第 3 のエッチングにより除去される酸素バリア膜 303 がレジストマスク 306 に再付着することを抑制できると共に、エッチングガスと酸素バリア膜 303 との反応生成物がレジストマスク 306 に堆積することを抑制できる。

【0103】

また、下部電極の下地膜として、プラグ 302 を介して半導体基板 300 と接続している酸素バリア膜 303 を用いるので、強誘電体膜又は高誘電体膜よりなる容量絶縁膜を形成する際にプラグ 302 を酸化させることがなくなるので、キャパシタと半導体基板 300 とを接続することができる。

【0104】

また、第2のシリコン酸化膜305は、シリコンを主成分とする酸化膜であるので、第2のシリコン酸化膜305に対して異方性の強いエッチングができるので、第1のエッチングにより凹部305aを形成した後に、第2のエッチングにより開口部305bを形成することにより、開口部305bの壁面における段差が低減してテーパ形状が滑らかになる。

【0105】

また、第2のシリコン酸化膜305の主表面を平坦化することにより、電極及び容量絶縁膜又は高誘電体膜よりなるキャパシタを形成する際に用いるレジストマスク306のフォーカスずれが減少する。

【0106】

また、マスクとしてフォトリジスト膜よりなるレジストマスク306を用いるので、レジストマスク306に対するエッチング選択比を確保できる。

【0107】

また、酸素ガスを含むプラズマを用いて第1のエッチングを行なうので、レジストマスク306の第2のシリコン酸化膜305に対するエッチング選択比を確保することができる。

【0108】

また、本実施形態では、開口部にキャパシタを形成する場合について説明したが、本実施形態ではキャパシタに限定されるものではなく、他の素子を形成しても構わない。

【0109】

(第4の実施形態)

以下、本発明の第4の実施形態に係る半導体装置の製造方法について、図7(a)及び(b)と図8(a)及び(b)とを参照しながら説明する。

【0110】

まず、図7(a)に示すように、第1の実施形態で図1(a)～(c)を用いた説明と同様にして、半導体基板400の上に第1のシリコン酸化膜401、プラグ402及び酸素バリア膜403を形成する。次に、第1のシリコン酸化膜401及び酸素バリア膜403の上に、酸素バリア膜403を覆うように第2のシ

リコン酸化膜 404 を形成した後、CMP 法により、酸素バリア膜 403 の上の第 2 のシリコン酸化膜 404 の膜厚が 900 nm になるまで平坦化する。次に、第 2 のシリコン酸化膜 404 の上に、膜厚が 700 nm であって且つ直径が 300 nm である開口パターン 405 a を有するレジストマスク 405 を形成する。

【0111】

次に、図 7 (b) に示すように、開口パターン 405 a を有するレジストマスク 405 を用いると共に、C、H 及び F を含むガスと O を含むガスとの混合ガスからなるプラズマを用いて第 1 のエッチングを行なうことにより、深さが 600 nm 程度である凹部 404 a を形成する。この場合、レジストマスク 405 の膜厚は第 1 のエッチングにより 500 nm 程度に減少する。

【0112】

次に、図 8 (a) に示すように、O を含むガスからなるプラズマを用いるアッシングにより、レジストマスク 405 を除去する。

【0113】

次に、図 8 (b) に示すように、凹部 404 a が形成された第 2 のシリコン酸化膜 404 に対してマスクを用いずに C、H 及び F を含むガスと O を含むガスとの混合ガスからなるプラズマを用いて第 2 のエッチングを行なうことにより、凹部 404 a よりも開口径が大きく且つ壁面がテーパ形状であると共に酸素バリア膜 403 を露出させた開口部 404 b を形成する。また、酸素バリア膜 403 は膜厚が 30 nm 程度オーバーエッチングされる。次に、第 1 の実施形態と同様にして、下部電極、容量絶縁膜及び上部極を形成する。その後、開示していないが配線及び保護膜等の形成を行なう。

【0114】

以上のように第 4 の実施形態に係る半導体装置の製造方法によると、第 1 の実施形態と比べて、開口パターンの径を拡大する工程を省略できるので、工程数を低減することができる。

【0115】

また、第 1 の開口パターン 405 a を有するレジストマスク 405 を用いて第 1 のエッチングにより凹部 404 a を形成した後、レジストマスク 405 をアッ

シングにより除去してから第2のエッチングを行なうので、第2のシリコン酸化膜404に形成される開口部404bの壁面を順テーパー形状にすることができる。

【0116】

また、第1のエッチングにより凹部404aを形成する際には酸素バリア膜403を露出させないため、第1のエッチングの際に生じる酸素バリア膜403を構成する積層膜の上層の酸化イリジウムがレジストマスク405の側壁に再付着したり、フッ素とイリジウムとの反応生成物がレジストマスク405の側壁に堆積することがないので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部404bの壁面のテーパー形状を安定的に形成することができる。その結果、カバレッジにより優れた下部電極、容量絶縁膜及び上部電極を得ることができるので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止してキャパシタの特性のバラツキを防止することができる。

【0117】

また、下部電極の下地膜として、プラグ402を介して半導体基板400と接続している酸素バリア膜403を用いるので、強誘電体膜又は高誘電体膜よりなる容量絶縁膜を形成する際にプラグ402を酸化させることがなくなるので、キャパシタと半導体基板400とを接続することができる。

【0118】

また、第2のシリコン酸化膜404は、シリコンを主成分とする酸化膜であるので、第2のシリコン酸化膜404に対して異方性の強いエッチングができるので、第1のエッチングにより凹部404aを形成した後に、第2のエッチングにより開口部404bを形成することにより、開口部404bの壁面における段差が低減してテーパー形状が滑らかになる。

【0119】

また、第2のシリコン酸化膜404の主表面を平坦化することにより、電極及び容量絶縁膜又は高誘電体膜よりなるキャパシタを形成する際に用いるレジストマスク405のフォーカスずれが減少する。

【0120】

また、マスクとしてフォトリソist膜よりなるレジストマスク405を用いるので、レジストマスク405の絶縁膜に対するエッチング選択比を確保できる。

【0121】

また、酸素ガスを含むプラズマを用いて第1のエッチングを行なうので、レジストマスク405の第2のシリコン酸化膜404に対するエッチング選択比を確保することができる。

【0122】

また、本実施形態では、開口部404bにキャパシタを形成する場合について説明したが、本実施形態ではキャパシタに限定されるものではなく、他の素子を形成しても構わない。

【0123】

(第5の実施形態)

以下、本発明の第5の実施形態に係る半導体装置の製造方法について、図9(a)～(c)及び図10(a)～(c)を参照しながら説明する。

【0124】

まず、図9(a)に示すように、第1の実施形態で図1(a)～(c)を用いた説明と同様にして、半導体基板500の上に、第1のシリコン酸化膜501、プラグ502、酸素バリア膜503、第2のシリコン酸化膜504及び膜厚が800nmであって且つ直径が250nmである第1の開口パターン505aを有するレジストマスク505を形成する。

【0125】

次に、図9(b)に示すように、Oを含むガスからなるプラズマを用いる全面エッチングを行なって、レジストマスク505を100nm程度除去することにより、直径が300nmである第2の開口パターン505bを有するレジストマスク505を形成する。このとき、第2の開口パターン505bを有するレジストマスク505はその上部ほどプラズマに照射される頻度が大きいので、第2の開口パターン505bの断面は順テーパー形状になる。

【0126】

次に、図9(c)に示すように、第2のシリコン酸化膜504に対して、第2

の開口パターン 505b を有するレジストマスク 505 を用いると共に、C、H 及び F を含むガスと O を含むガスとの混合ガスからなるプラズマを用いて第 1 のエッチングを行なうことにより、深さ 300 nm 程度である凹部 504a を形成する。この場合、レジストマスク 505 の膜厚は第 1 のエッチングにより 500 nm 程度に減少する。また、この場合、第 2 の開口パターン 505b のテーパ形状が第 2 のシリコン酸化膜 504 に転写される効果により、シリコン酸化膜 504 にはテーパ形状の壁面を有する凹部 504a が形成される。

【0127】

次に、図 10 (a) に示すように、O を含むガスプラズマを用いて、レジストマスク 505 を 300 nm 程度除去することにより、直径が 400 nm である第 3 の開口パターン 505c を有するレジストマスク 505 を形成する。

【0128】

次に、図 10 (b) に示すように、凹部 504a が形成された第 2 のシリコン酸化膜 504 に対して、第 3 の開口パターン 505c を有するレジストマスク 505 を用いると共に、C、H、F を含むガスと O を含むガスとの混合ガスからなるプラズマを用いて第 2 のエッチングを行なうことにより、凹部 504a よりも開口径が大きく且つ壁面がテーパ形状であると共に酸素バリア膜 503 を露出させる開口部 504b を形成する。この場合、レジストマスク 505 の膜厚は第 3 のエッチングにより 100 nm 程度に減少する。また、酸素バリア膜 503 は膜厚が 30 nm 程度オーバーエッチングされる。第 1 のエッチングにより形成されたテーパ形状の壁面を有する凹部 504a に対して第 2 のエッチングを行なうので、第 2 のエッチングにより形成される開口部 504b の壁面における段差は、第 1 の実施形態で形成された開口部 104b の壁面に比べて、より緩やかになる。

【0129】

次に、図 10 (c) に示すように、O を含むガスからなるプラズマを用いるアッシングにより、レジストマスク 505 を除去する。次に、第 1 の実施形態と同様にして、下部電極、容量絶縁膜及び上部電極を形成する。その後、開示していないが配線及び保護膜等を形成する。

【0130】

以上のように、第5の実施形態に係る半導体装置の製造方法によると、第1のエッチングを行なう前にレジストマスク505の開口パターンをテーパ形状にする工程を含むため、第1のエッチングにより第2のシリコン酸化膜504を除去する速度が上昇するので、前記の各実施形態に比べて、第1のエッチングにより形成される凹部504aのテーパ量が大きくなる。また、凹部504aのテーパ量が大きいいため、第2のエッチングの際に用いるエッチングガスが凹部504aに侵入することが容易になるので、テーパ量がさらに大きいテーパ形状の壁面を有する開口部504bを形成することができる。その結果、よりカバレッジに優れたキャパシタを形成することができる。

【0131】

また、第1のエッチングにより凹部504aを形成する際には酸素バリア膜503を露出させないため、第1のエッチングの際に生じる酸素バリア膜503を構成する積層膜の上層の酸化イリジウムがレジストマスク505の側壁に再付着したり、フッ素とイリジウムとの反応生成物がレジストマスク505の側壁に堆積することがないので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部504bの壁面のテーパ形状を安定的に形成することができる。

【0132】

また、開口部504bの壁面のテーパ形状を安定的に形成することができるため、カバレッジに優れた下部電極、容量絶縁膜及び上部電極を得ることができるので、電極の断線、容量絶縁膜のリーク及び組成ずれを防止してキャパシタの特性のバラツキを防止することができる。

【0133】

また、酸素バリア膜503を構成する積層膜の上層として高融点金属であるイリジウム、白金、金、ルテニウム、ロジウム若しくはパラジウムを含む金属又はこれらの金属酸化物を用いると、第2のエッチングにより除去される酸素バリア膜503がレジストマスク505の側壁に再付着することを抑制できると共に、エッチングガスと酸素バリア膜503との反応生成物がレジストマスク505の

側壁に堆積することを抑制できる。

【0134】

また、下部電極の下地膜として、プラグ502を介して半導体基板500と接続している酸素バリア膜503を用いるので、強誘電体膜又は高誘電体膜よりなる容量を形成する際にプラグ502を酸化させることがなくなるので、キャパシタと半導体基板500とを接続することができる。

【0135】

また、第2のシリコン酸化膜504は、シリコンを主成分とする酸化膜であるので、第2のシリコン酸化膜504に対して異方性の強いエッチングができるので、第1のエッチングにより凹部504aを形成した後に、第2のエッチングにより開口部504bを形成することにより、開口部504bの壁面における段差が低減してテーパ形状が滑らかになる。

【0136】

また、第2のシリコン酸化膜504の主表面を平坦化することにより、電極及び容量絶縁膜又は高誘電体膜よりなるキャパシタを形成する際に用いるレジストマスク505のフォーカスずれが減少する。

【0137】

また、マスクとしてフォトリソレジスト膜よりなるレジストマスク505を用いるので、レジストマスク505の絶縁膜に対するエッチング選択比を確保できる。

【0138】

また、酸素ガスを含むプラズマを用いて第1のエッチングを行なうので、レジストマスク505の第2のシリコン酸化膜504に対するエッチング選択比を確保することができる。

【0139】

また、本実施形態では、開口部504bにキャパシタを形成する場合について説明したが、本実施形態ではキャパシタに限定されるものではなく、他の素子を形成しても構わない。

【0140】

【発明の効果】

上述したように、本発明の半導体装置の製造方法によると、第1の開口パターンを有するマスクを用いて第1のエッチングにより導電膜まで達しない凹部を形成した後に、第1の開口パターンよりも径が大きい第2の開口パターンを有するマスクを用いた第2のエッチングにより開口部を形成するため、第1の開口パターンを有するマスクの側壁に、導電膜が再付着したり、エッチングガスと導電膜との反応生成物が堆積することがなくなるので、従来例のようにフェンスが形成される等の形状異常が発生しない。このため、開口部の壁面のテーパ形状を安定的に形成することができる。その結果、電極及び強誘電体容量のカバレッジを良化することができる。

【図面の簡単な説明】

【図1】

(a)～(d)は本発明の第1の実施形態に係る半導体装置の製造方法を示す断面図である。

【図2】

(a)～(d)は本発明の第1の実施の形態に係る半導体装置の製造方法を示す断面図である。

【図3】

(a)～(c)は本発明の第2の実施形態に係る半導体装置の製造方法を示す断面図である。

【図4】

(a)～(c)は本発明の第2の実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】

(a)～(c)本発明の第3の実施の形態に係る半導体装置の製造方法を示す断面図である。

【図6】

(a)～(d)は本発明の第3の実施の形態に係る半導体装置の製造方法を示す断面図である。

【図7】

(a) 及び (b) は本発明の第 4 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 8】

(a) 及び (b) は本発明の第 4 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 9】

(a) ~ (c) は本発明の第 5 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 10】

(a) ~ (c) は本発明の第 3 の実施の形態に係る半導体装置の製造方法を示す断面図である。

【図 11】

(a) ~ (c) は従来の半導体装置の製造方法を示す断面図である。

【図 12】

(a) ~ (c) は従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

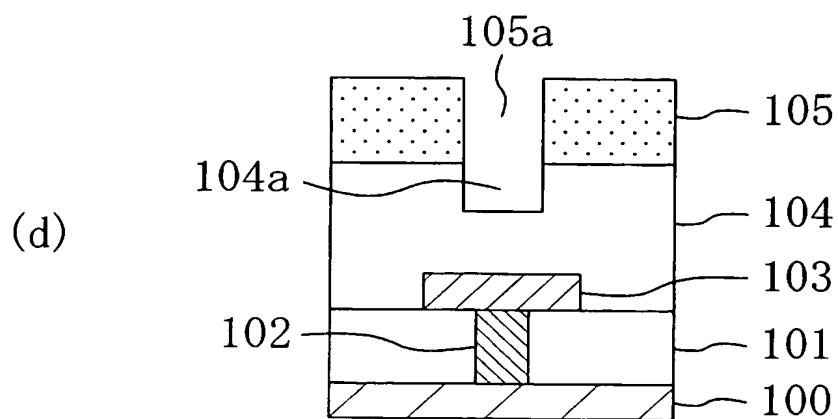
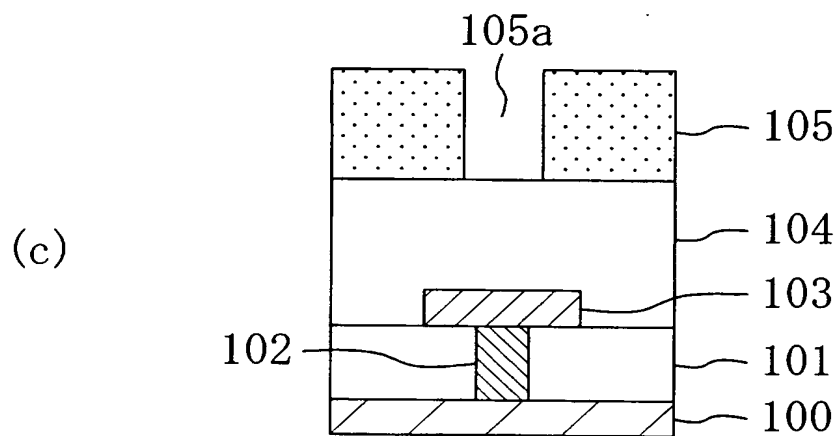
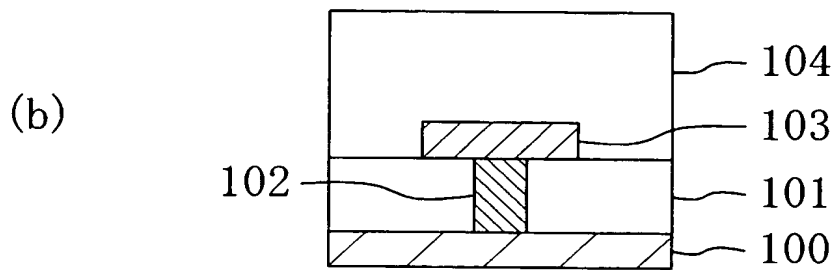
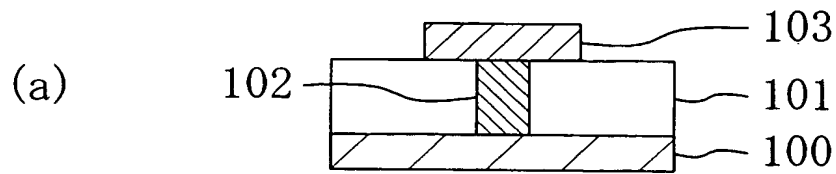
100、200、300、400、500	半導体基板
101、201、301、401、501	第1のシリコン酸化膜
102、202、302、402、502	プラグ
103、203、303、403、503	酸素バリア膜
104、204、305、404、504	第2のシリコン酸化膜
104a、204a、305a、404a、504a	凹部
104b、204b、305b、404b、504b	開口部
105、205、306、405、505	レジストマスク
105a、205a、306a、405a、505a	第1の開口パターン
105b、205b、306b、505b	第2の開口パターン
106	下部電極
107	容量絶縁膜
108	上部電極

3 0 4 エッチングストッパー膜

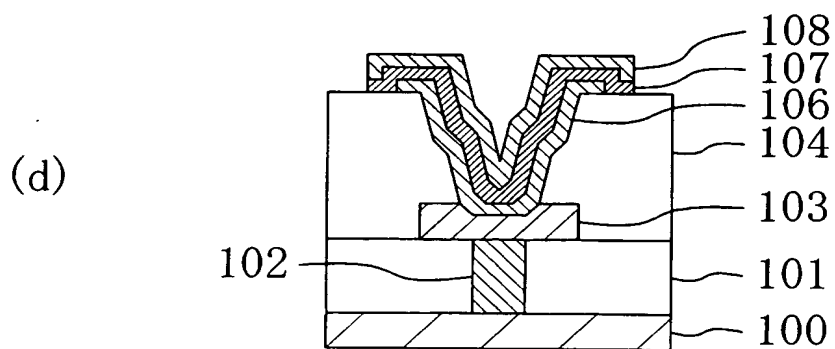
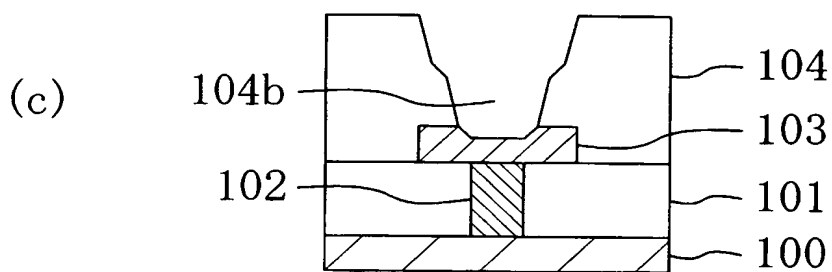
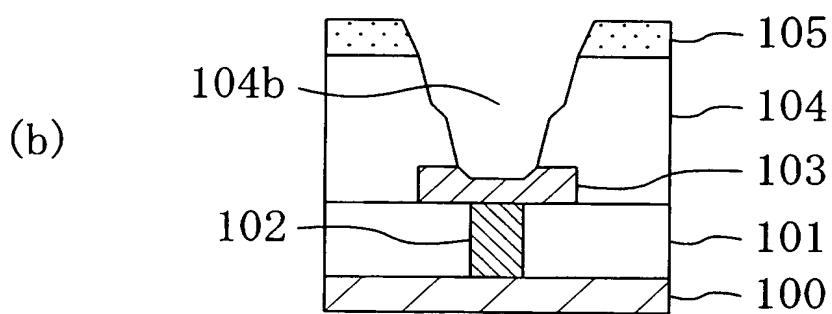
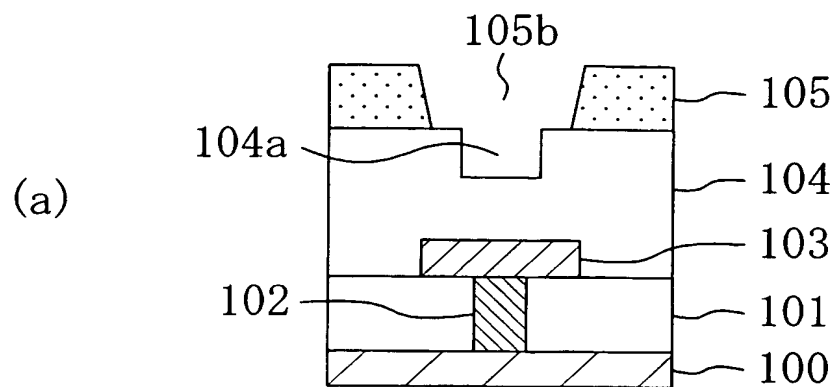
5 0 5 c 第 3 の開口パターン

【書類名】 図面

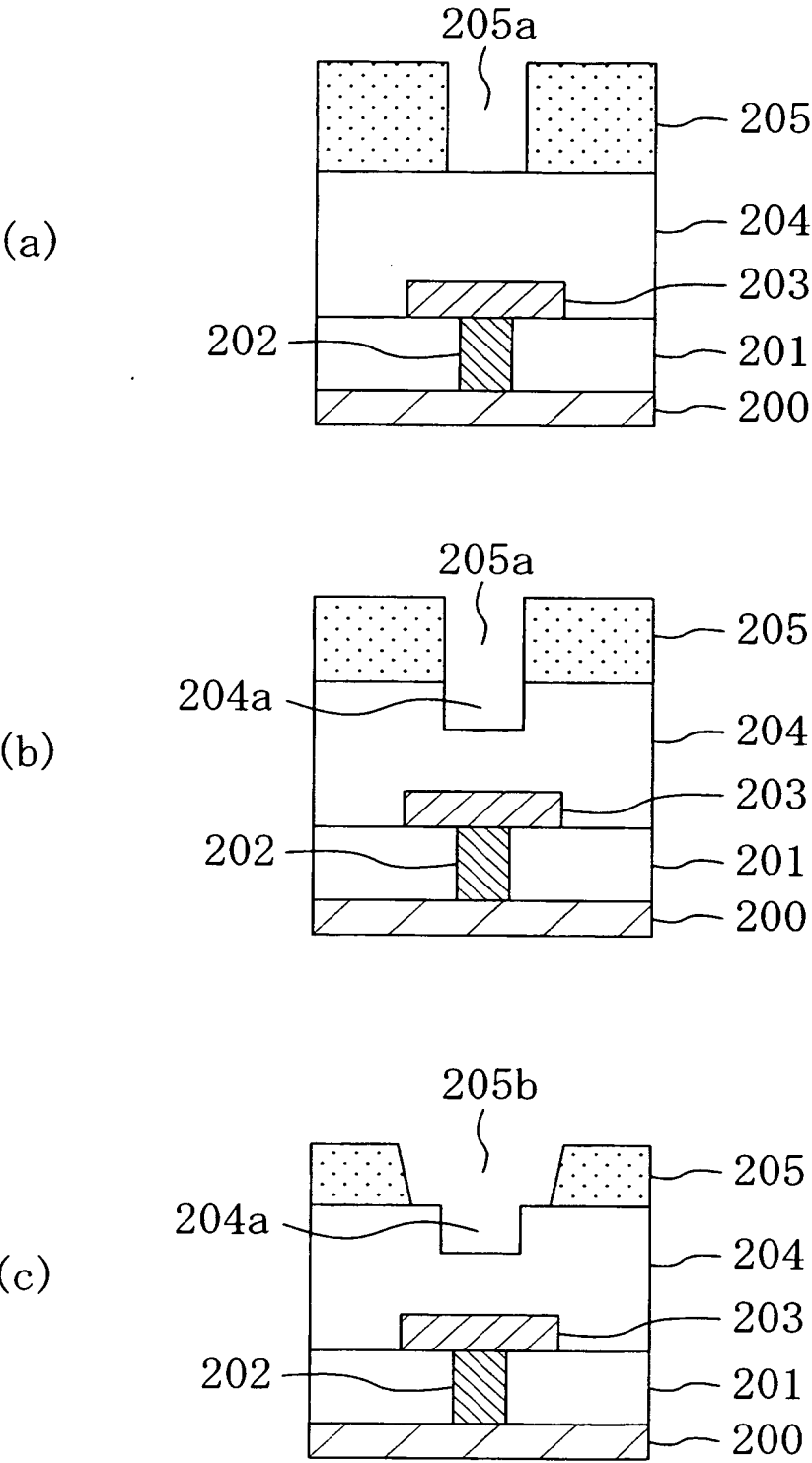
【図 1】



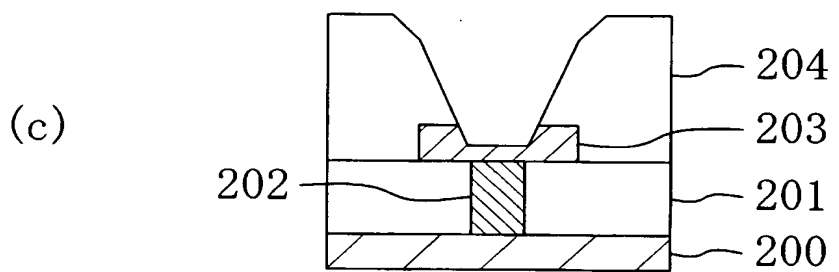
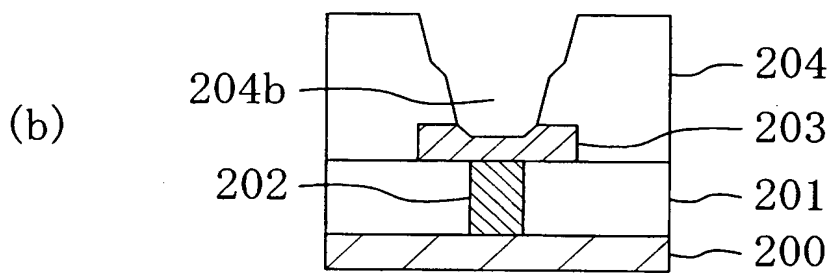
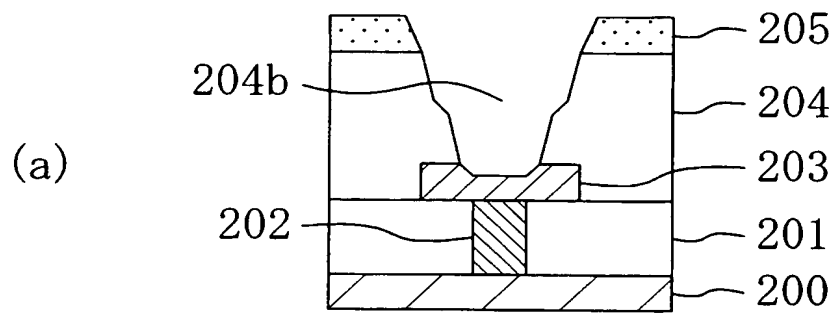
【図 2】



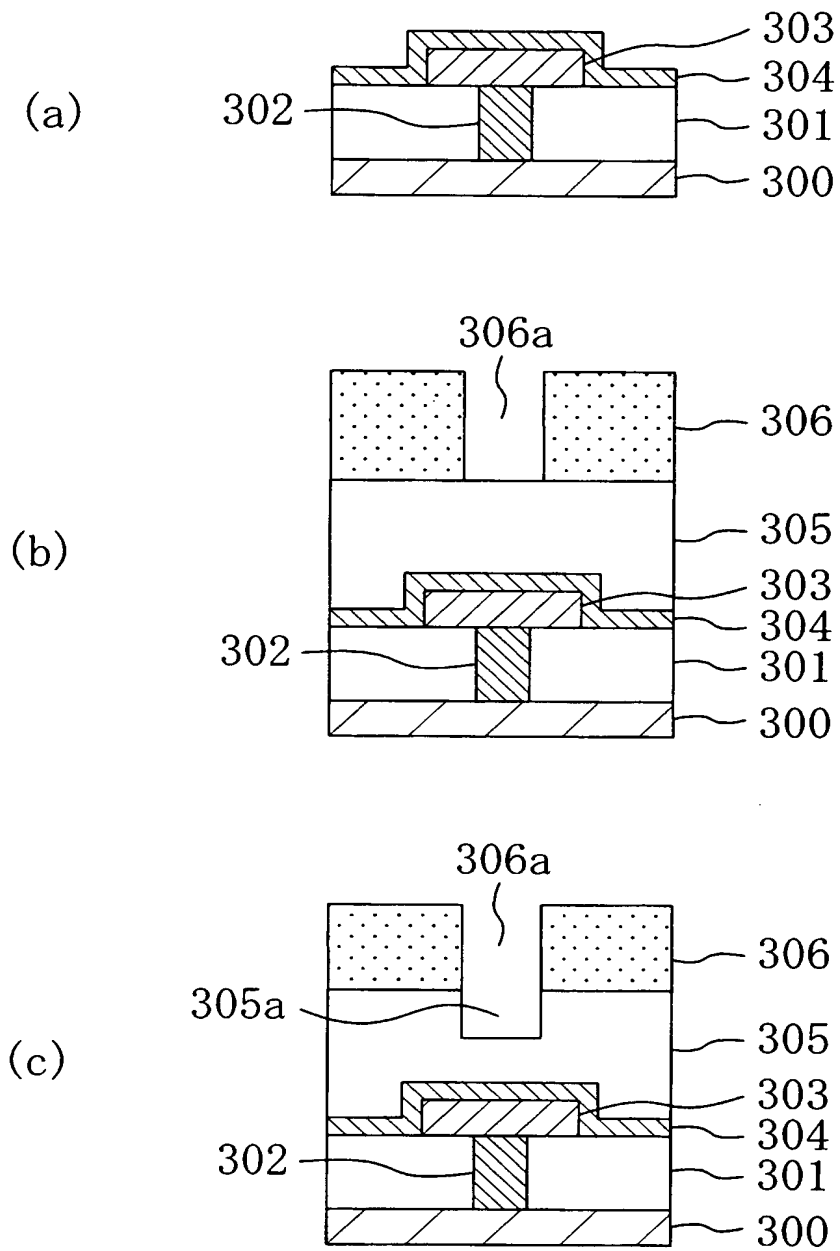
【図 3】



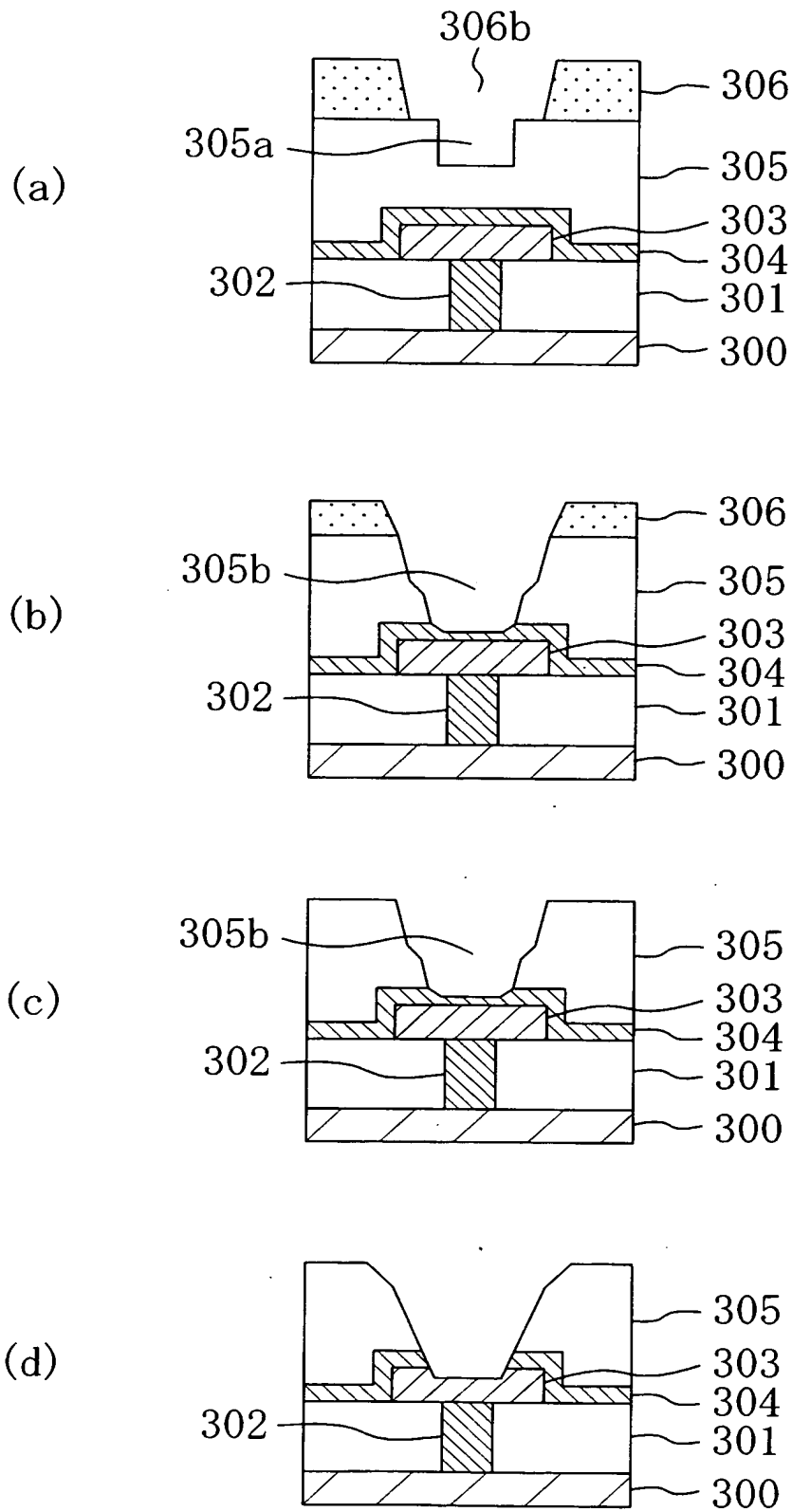
【図 4】



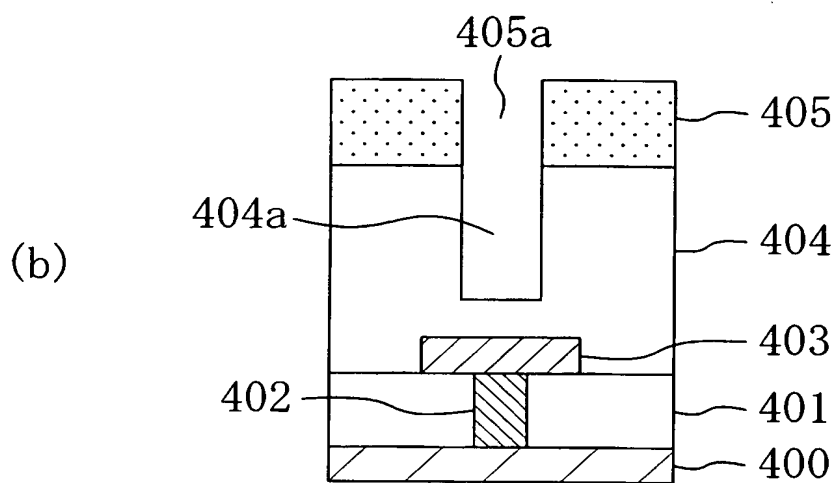
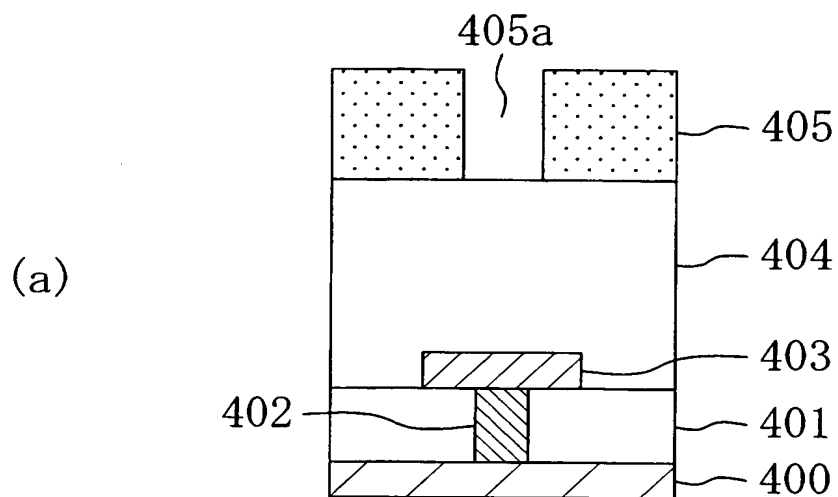
【図 5】



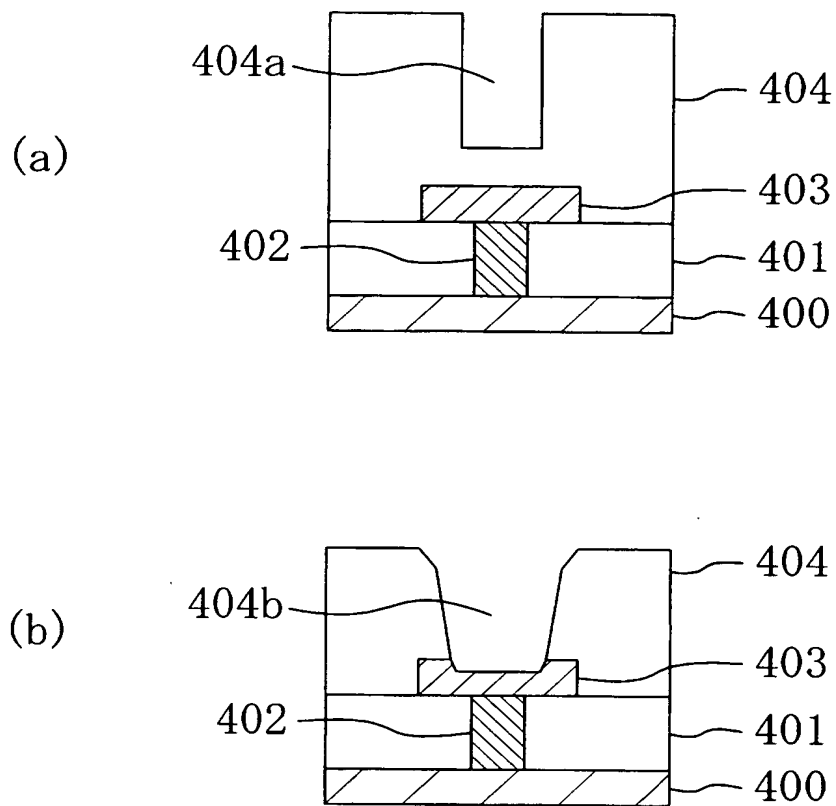
【図 6】



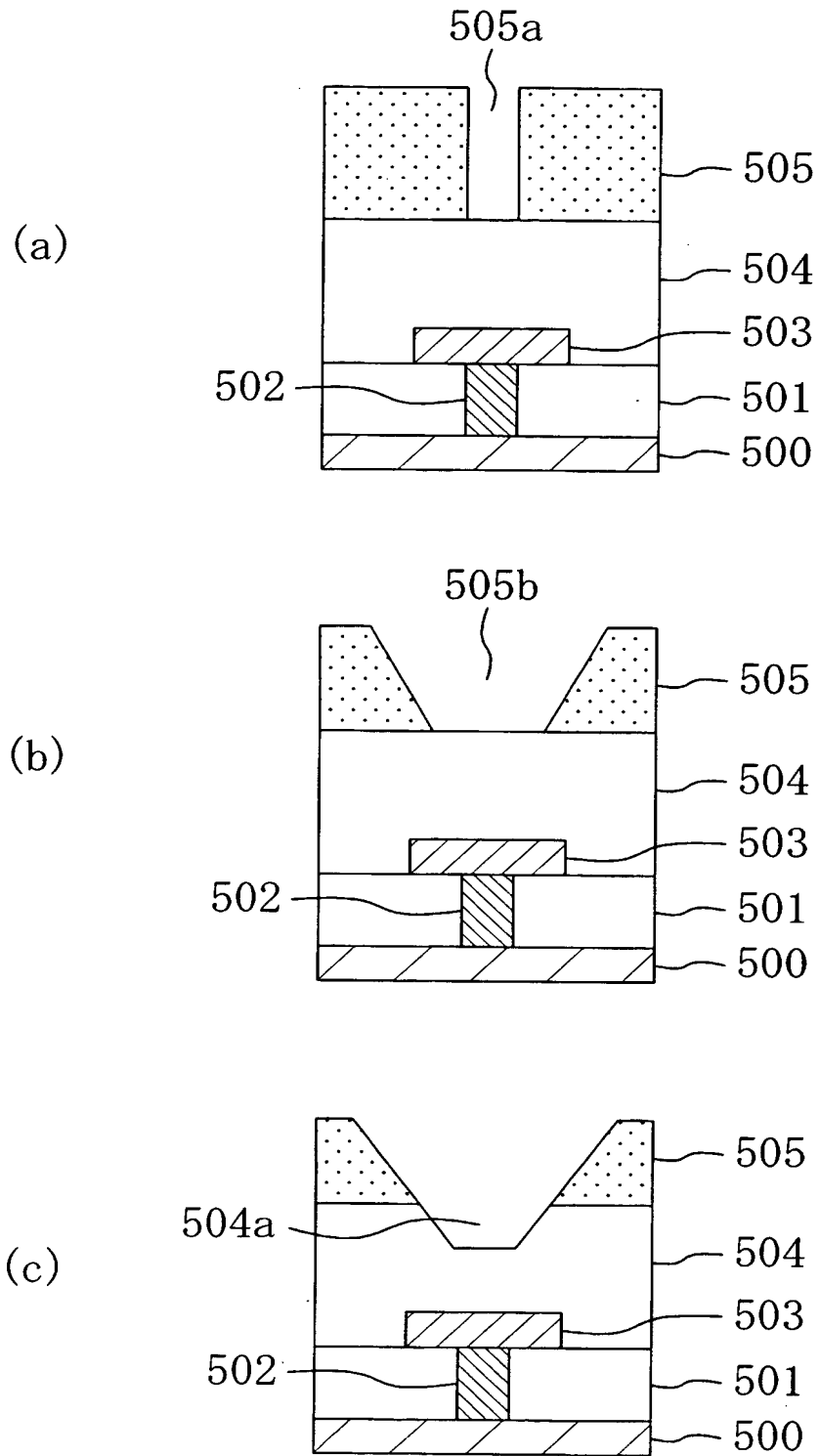
【図 7】



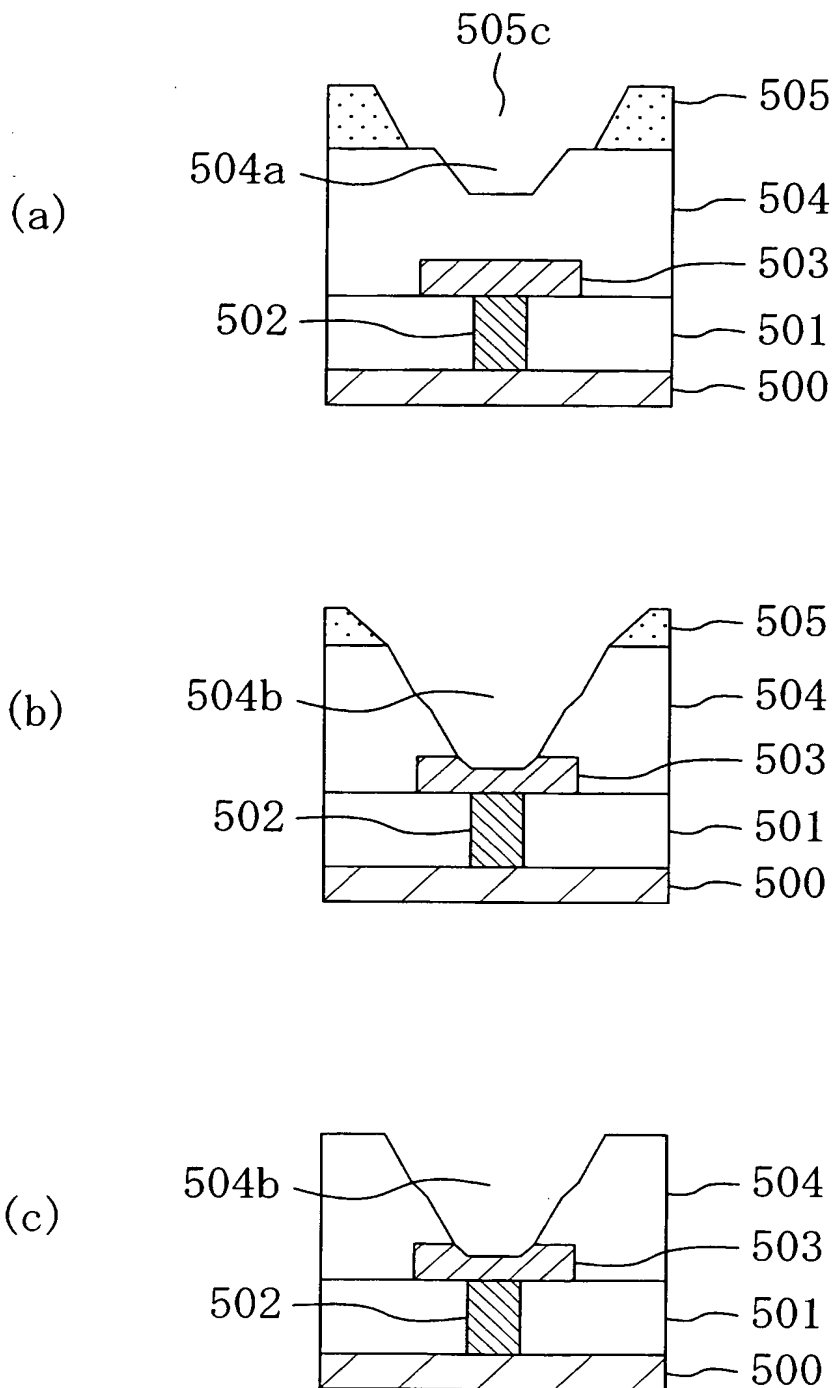
【図 8】



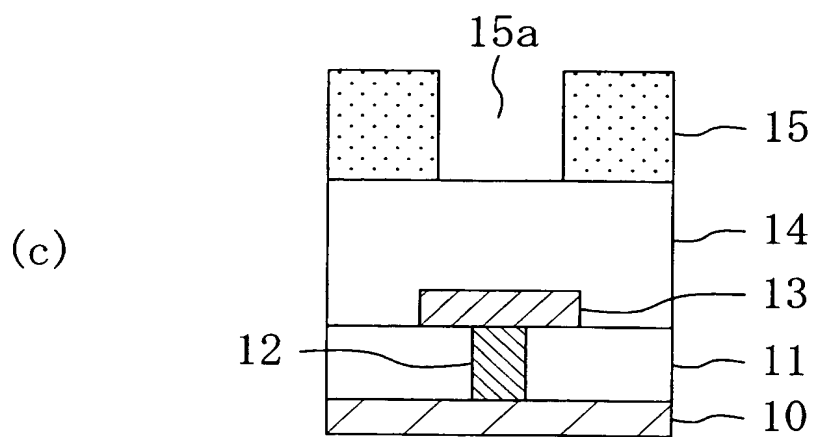
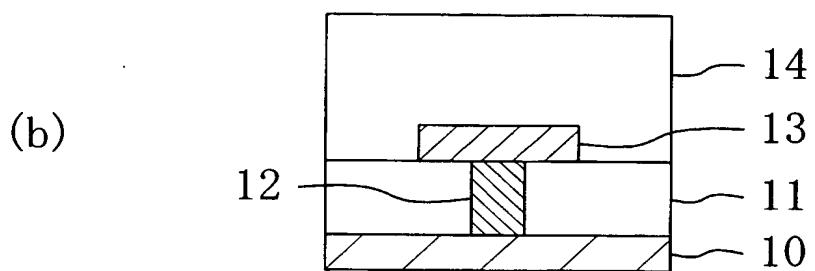
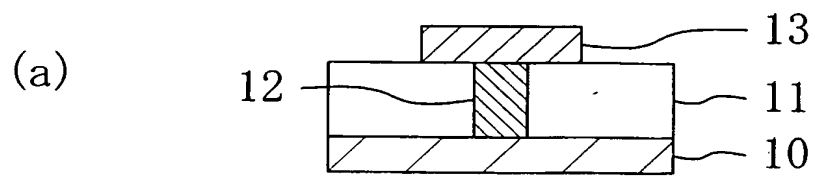
【図 9】



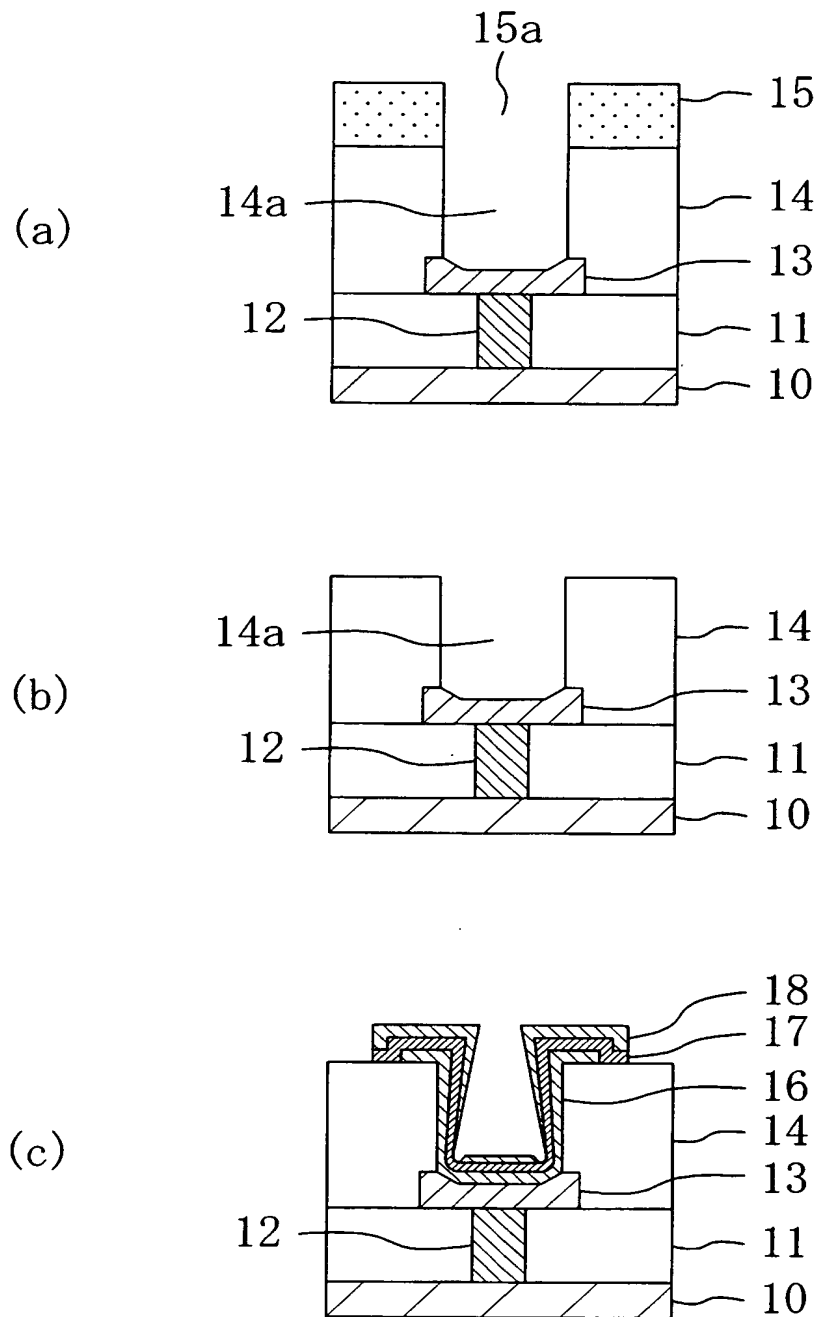
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 開口部の壁面のテーパ形状を安定的に形成することにより、電極及び容量絶縁膜のカバレッジを向上させる。

【解決手段】 半導体装置の製造方法は、半導体基板 1 0 0 上の所定領域に導電膜 1 0 3 を形成する工程と、導電膜 1 0 3 を覆うように第 2 のシリコン酸化膜 1 0 4 を形成する工程と、第 1 の開口パターン 1 0 5 a を有するレジストマスク 1 0 5 を形成する工程と、第 2 のシリコン酸化膜 1 0 4 に対して第 1 のエッチングを行なって底部が導電膜 1 0 3 に達しない凹部 1 0 4 a を形成する工程と、第 2 の開口パターン 1 0 5 b を有するレジストマスク 1 0 5 を形成する工程と、第 2 のシリコン酸化膜 1 0 4 に対して第 2 のエッチングを行なって凹部 1 0 4 a よりも開口径が大きく且つ壁面がテーパ形状であると共に導電膜 1 0 3 を露出させる開口部 1 0 4 b を形成する工程とを備える。

【選択図】 図 1

特願 2 0 0 3 - 0 4 8 8 0 7

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 8 日

[変 更 理 由]

新 規 登 録

住 所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏 名

松 下 電 器 産 業 株 式 会 社